

⑬ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-293160

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)12月23日

H 02 M 3/155

7829-5H

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 直流電圧変換回路

⑰ 特 願 昭60-132664

⑱ 出 願 昭60(1985)6月18日

⑲ 発 明 者 古 田 政 美 川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 山 口 巖

明 細 書

1. 発明の名称 直流電圧変換回路

2. 特許請求の範囲

1) 直流電源と負荷とを接続する負荷電流回路を断続する回路開閉要素と、負荷電流回路に直列に接続され負荷電流の微分値に対応する電圧降下を発生する微分動作要素と、負荷に並列に接続され通過電流の積分値に対応する両端電圧を負荷への出力電圧として出力する積分動作要素と、前記微分動作要素が発生する電圧降下から出力電圧を制御すべき上下限幅を設定する制御幅設定回路と、前記積分動作要素が出力する出力電圧中に前記回路開閉要素が行なう断続動作に伴って生じる脈動を検出する脈動検出回路と、出力電圧のレベルを設定する出力基準値設定回路と、前記上下限幅および脈動を入力し出力基準値上において両者を比較して出力電圧の変動範囲を該上下限幅内に納めるように前記回路開閉要素に開閉指令を発する開閉制御回路とを備えてなる直流電圧変換回路。

2) 特許請求の範囲第1項記載の回路において、制

御幅設定回路によって上下限幅が設定されるとともに、出力基準値設定回路により設定された基準電圧と比較されるべき出力電圧の実値信号が発生されることを特徴とする直流電圧変換回路。

3) 特許請求の範囲第2項記載の回路において、実値信号が出力端子から取られ、制御幅設定回路内において上下限幅信号と合成された上で開閉制御回路に与えられるようにしたことを特徴とする直流電圧変換回路。

4) 特許請求の範囲第1項記載の回路において、出力基準値設定回路が基準電圧を発生するツエナダイオードを含み、該ツエナダイオードに対する給電を出力端子側から行なうようにしたことを特徴とする直流電圧変換回路。

5) 特許請求の範囲第4項記載の回路において、ツエナダイオードへの給電回路が脈動検出回路を兼ねることを特徴とする直流電圧変換回路。

3. 発明の詳細な説明

【発明の属する技術分野】

本発明はいわゆる降圧形チョップの原理を用い

て電圧が変動しうる直流電源から高精度の直流定電圧を得る直流電圧変換回路、いわゆる降圧チョッパ形のDC-DCコンバータ回路に関する。

【従来技術とその問題点】

この種の電圧変換回路は、出力電圧として電源電圧よりも低い電圧値しか得られない制限はあるが、動作原理が簡単で回路構成も比較的簡単ですむために種々の電子装置用あるいは電子回路内の直流定電圧電源として多用されて来た。しかし、これを実用化して見るとその回路の動作性能や安定性において必ずしも満足すべきものでもなく、また置換されるべき定電圧電源装置としては回路構成上必ずしも簡単といえない点があり、従ってまだ高価につく問題点が残っている。これを第5図および第6図を用いて説明する。

第5図の一点鎖線で囲まれた範囲がこの種の電圧変換回路であって、電源1の電圧 E_1 を額線で示されたように入力して負荷2に定電圧 E_0 を出力する。電源1から負荷2へ向かう負荷電源回路には、スイッチング作用をするトランジスタ3とリアク

- 3 -

トル4の電圧 V_h の波形が第6図(a)の額線で示されている。演算増幅器9bはこのヒステリシス電圧 V_h と前述の実際値 V_0 とを受け、前者が後者を上回る間はトランジスタ3をオンし、逆の期間にはオフさせる開閉指令SSを発する。第6図(a)に見られるようにヒステリシス電圧 V_h が矩形波であるのに対して、実際値 V_0 はトランジスタ3のオン動作に応じて立ち上がり、オフ動作に応じて立ち下がる三角波の波形をとり、両電圧波形 V_h, V_0 の交点で演算増幅器9bが反転し、同図(a)に示す開閉指令SSが発しられ、これに応じてトランジスタ3がオンオフ動作される。

いま、出力電圧 E_0 がなんらかの影響で正値のレベルより上がったとすると、第6図(a)に示された実際値 V_0 のレベルがこれに応じて一点鎖線で示すように上がり、そのヒステリシス電圧 V_h の上限線との交点、すなわちトランジスタ3をオフを決める時点が早まり、ヒステリシス電圧 V_h の下限線との交点で決まるトランジスタのオン時点が遅くなる。すなわち、出力電圧 E_0 が正値レベルより高い

トル4とが直列接続されており、電源電圧 E_1 が変動してもリアクトル4内の電圧降下の値がこれを補償して負荷2には定電圧 E_0 が出力される。出力側には比較的大容量のキャパシタ5が負荷に並列に接続され出力電圧 E_0 を安定化させる。6はトランジスタ3が断となったときに導通して、リアクトル4内の蓄積エネルギーを電流の形で負荷に供給するための回路の帰路を形成するためのいわゆるフリーホイーリング作用をするダイオードである。

図の下方には出力電圧レベルを設定するための基準電源7が示されており、これに対応する出力電圧の実際値 V_0 は出力電圧 E_0 を分圧する2個の抵抗 R_a, R_b の相互接続点から取られている。9aは回路全体の発振制御作用の源泉となるヒステリシス回路であって、その上方に示された差動ないしは比較動作をする演算増幅器9bの出力、すなわちトランジスタ3への開閉指令と基準電源7が発する基準電圧 E とを受け、基準電圧 E の上下にある電圧幅 ΔV をもちかつ開閉指令に同期してそのレベルが変化するヒステリシス電圧 V_h を発する。この

- 4 -

と、トランジスタ3のオン時間は短くオフ時間は長くなり、これによって出力電圧 E_0 が低められる。もちろん、出力電圧 E_0 が逆に正値レベルより下がると、それを上げるようにトランジスタ3のオン時間が長くオフ時間が短くなる。このようにして、出力電圧 E_0 によってその実際値 V_0 は、基準電圧 E の上下 ΔV の幅の間に納められ、出力電圧 E_0 は電源電圧 E_1 が変動しても若干の脈動分を含む定電圧値に保たれる。

しかし、このような従来回路ではヒステリシス回路9aが発するヒステリシス幅すなわち前述の上下振幅 ΔV が変動しやすい。これに応じて回路の制御性能が変動しやすい。すなわち、該ヒステリシス回路9aは演算増幅器9bと閉ループを形成しており、演算増幅器9bには制御性能を上げるために数千ないし数万の高ゲインのものが用いられるので、その値かな特性変化によってヒステリシス幅 ΔV が変動し、従って出力電圧の定電圧精度が影響されやすい。よく知られているように演算増幅器のゲインはとくに高ゲイン時において温度など

の影響を受けやすい。また、容易にわかるようにヒステリシス幅 ΔV が変わると、開閉指令SS従ってトランジスタ3のオンオフの周期も変わって来るから、電圧変換回路の動作周波数も変動しやすいことになる。

このように動作の安定性上に問題があるほか、電圧変換回路の質量にあたってはヒステリシス回路9aがまだ複雑で費用が掛り過ぎる問題がある。しかし、この種の回路では電圧制御上の上下限としてのヒステリシス電圧 ΔV の設定を原理上省くことはできず、なんらかの改善手段の必要が感じられていた。

【発明の目的】

上述の事情に基づき、本発明は降圧チョッパ形の直流電圧変換回路の動作を安定化しかつ構成を簡単化することを目的とする。

【発明の要点】

上記の目的達成のため本発明回路においては、出力電圧制御上の上下限およびその間の幅を設定するために専用のヒステリシス回路を用いること

- 7 -

形成するフリーホイーリング用のダイオード12とが示されている。微分動作要素20は例えば前述のリアクトルであって、負荷電流回路に直列に挿入されて降圧チョッパ回路における電圧降下分を発生する。この負荷側に負荷2への出力端子に並列接続される積分動作要素は、例えばふつうのキャパシタであって、公知のように出力電圧の安定化の役割りを果たす。第2図は前の第6図に相当する動作波形図であるが、その中に回路開閉要素10の開閉動作にともなう微分動作要素20の入口端子電位B1の波形が示されている。その下方の(1)に示された開閉指令SSがオン、従って半導体スイッチ11がオンのとき、この入口端子電位B1は電源1からの入力電圧B1にほぼ等しい（順方向電圧降下を無視して）。

しかし、半導体スイッチ11がオフになると負荷電流はフリーホイーリングダイオード12を通してこの入口端子に流れ込むから、その電位B1は前とは逆極性のダイオード内順方向電圧降下分Edに等しい電位をとる。すなわち、半導体スイッチ11

をやめ、電源から負荷に流れる負荷電流を受けるリアクトルに発生する降圧用の電圧降下からこの電圧制御上の上下限幅を設定する手段をとる。リアクトルはその動作上から見ると、その中を流れる負荷電流の微分値に相当する電圧降下 $(L di/dt)$ を生じる微分動作の回路要素である。都合のよいことに、負荷電流を断続するトランジスタのオンまたはオフに伴って、フリーホイーリングダイオードは断または続の状態となり、これに応じて微分動作のリアクトルの両端間の電圧降下にはステップ状の不連続変化が発生する。本発明の上記手段は、かかる回路の断続に伴う微分動作要素内の電圧降下の不連続変化をヒステリシス作用の源泉として利用しうることにも想到したものである。

以下、本発明回路の原理を第1図と第2図とを参照しながら説明する。第1図において、本発明における回路開閉要素10には、電源1と負荷2との間の負荷電流回路を断続するためのスイッチとしてトランジスタを用いた半導体スイッチ11と、これが断とされたとき導通して負荷電流の経路を



- 8 -

がオンからオフに移るとき、微分動作要素20の入口端子電位B1はほぼ入力電圧B1に等しいステップ状の不連続変化をする。逆に半導体スイッチがオフからオンに移るときも、入口端子電位B1は変化の方が逆であるが同じステップ状変化を示す。一方、その出力端子電位は積分動作要素30で安定化された出力電圧E0であって、脈動分を無視すれば半導体スイッチ11のオンオフに無関係にほぼ一定である。従って微分動作要素20両端間の電圧降下は図示のような矩形状の波形をとる。

この矩形状の波形のもつ最高値 ΔE はそのままでは出力電圧E0の制御のための上下限幅として用いるには過大であるから、第1図の制御幅設定回路40の2個の分圧抵抗41, 42は、この最高値 ΔE を所望の比で分圧して、その相互接続点から小さな最高値の矩形状波形すなわち前述のヒステリシス波形の上下限幅設定信号を発生させる。もちろん、この上下限幅は出力電圧E0に対して許される周期的な変動幅よりも低い値例えば0.1V以下の小さな値に選ばれる。このように設定される上下

限幅は元来が入力電圧 E_1 にほぼ等しい波高値 ΔE を縮小したものに過ぎないから、電源1の電圧変動範囲でしか変動することがなく、従来回路におけるヒステリシス電圧よりもその変動幅を大幅に小さくすることができる。もちろん、かかる分圧手段のかわりに、微分動作要素としてのリアクトルコイルの所望の箇所からタップを出す等の手段で置き換えることができる。

上述の上下限幅はふつうは極めて小さな値でよく、従って分圧抵抗42の抵抗値はもう一方の分圧抵抗41よりも非常に小さな値でよいから、両抵抗の相互接続点の電位はほぼ出力電圧 E_0 に等しく、従ってこの電位を図示の抵抗43,44でさらに分割して、その相互接続点から出力信号 E_0 の実際値レベルをもつ信号 V_0 を取り出すことができる。従ってこの信号 V_0 は、第2図(ハ)で鎖線によって示されたように、上下限幅 ΔV を有する矩形波形状と出力電圧 E_0 の実際値 V_0 とを合成したものであって、後述の開閉制御回路60の演算増幅器の一方の入力に与えられる。

-11-

にそのオンオフ時点を決める開閉指令 SS を第2図(ハ)のように発する。この演算増幅器61の動作態様とそれが電圧制御上にもつ役割りは、前述の従来回路におけるのと本質的には変わりはなく、回路の動作周波数も上下限幅 ΔV と脈動信号 V_r とをこの演算増幅器によって比較する段階で決まる。

なお、基準電圧 E によって設定される電圧レベルと比較すべき出力電圧の実際値 V_0 は、前述のように制御幅設定回路40を介して取る必要が必ずあるわけではなく、脈動信号 V_r も出力電圧 E_0 から取る場合には脈動検出回路を介して取るようにしてもよい。また、前述のように上下限幅 ΔV と実際値 V_0 とを合成するとか、脈動信号 V_r と基準電圧 E とを合成するとかする必要も必ずしもあるわけではなく、要は開閉制御回路60により上下限幅 ΔV と脈動信号 V_r とが出力基準電圧 E レベルで比較された上で開閉指令 SS が発しられるようにすることでよく、公知技術を用いてこれら諸信号を組み合わせて必要機能を果たすように容易に回路構成をすることが可能である。

-13-

脈動検出回路40は、この合成信号 V_c 中の上下限幅 ΔV の信号と比較すべき第2図(ハ)の鎖線で示す脈動信号 V_r を得るためのもので、原理的には回路閉閉要素10の開閉動作に伴って生じる脈動を検出できる任意の箇所から取ることができるが、第1図の場合は出力電圧 E_0 から取られている。この出力信号 E_0 中の脈動分は、積分動作要素の存在によって第2図(ハ)に示すように三角波状の波形をもち、上下限幅信号の上限線または下限線との交点から回路閉閉要素のオンオフ時点を決めるのに都合がよい。出力基準値設定回路50は出力電圧 E_0 のレベルを設定するためのもので、図では基準電圧値 E を有する最も簡単な電池で示されている。

この基準電圧 E は、第1図のように前述の脈動検出回路からの検出値の2個の抵抗62,63による分圧と合成した上で、開閉制御回路60の前述の演算増幅器61の他方の入力に与えることができる。従って演算増幅器61は、この脈動信号 V_r を基準電圧 E だけ持ち上げられた電圧下で前述の合成信号 V_c 中の上下限幅 ΔV と比較して、回路閉閉要素10

-12-

【発明の実施例】

以下第3図および第4図を参照しながら本発明の実施例を説明する。これら図において、前の第1図と共通しないしは同機能の部分には同じ符号が付されている。

第3図において、一点鎖線で囲まれた本発明による直流電圧変換回路100ないしはいわゆるDC-DCコンバータは、その左方の2個の入力端子に図示しない直流電源からの入力電圧 E_1 を受け、定電圧に制御された出力電圧 E_0 を右方の2個の端子から負荷2への出力電圧 E_0 を供給する。入力端子側のリアクトル71とキャパシタ72とは、半導体スイッチ11の開閉に伴うスイッチングノイズが電源側に伝わるのを防止するフィルタであって、電源の出側にもふつうは安全をさらに期するために、別のキャパシタ1aが鎖線で示したように接続される。回路の右方のリアクトル73は出力電圧 E_0 中の脈動分を減少させるためのもので、さらに負荷2側にもふつうはキャパシタ2aが脈動分を吸収させるために鎖線で示されたように接続される。半導

-14-

体スイッチ11としてのトランジスタのベースには、ベース抵抗11aがそのエミッタから演算増幅器61に向かって流れるベース電流の値を設定するために設けられている。これに並列に接続されたベースキャパシタ11bはスピードアップ用であって、トランジスタ11のオン時の動作を早める役目を果たす。

微分動作要素としてのリアクトル20の両端間に接続された分圧抵抗41,42の相互接続点から上下限幅 ΔV を決める信号が取られ、一方實際値信号はこの実施例では別のリアクトル73の出側である出力端子から取られている。抵抗43と調整抵抗器46とは上下限幅を決めるための信号の分圧器として働き、調整抵抗器46によって上下限幅 ΔV が選定される。實際値信号の方は抵抗45を経て上下限幅信号と合成されて演算増幅器61の一方の入力に与えられる。もちろん、實際値信号は第4図に示すように別のリアクトル73の入口から抵抗47を介して取るようにしてもよい。

基準電圧Eを得るための回路はツエナダイオ-

-15-

ドから直接取るようにしてもよい。本発明回路の出力電圧Eoの回路の動作周波数に同期した変動分は非常に小さく、これに応じて脈動信号も微小なものでよいから、ツエナ電圧に重なった程度の僅かな電圧脈動によっても回路を故障kllの周波数で安定に動作させることができる。

【発明の効果】

本発明によれば、従来において動作安定上およびコスト上の問題があったヒステリシス回路を用いる必要がなく、このかわりにリアクトル等の微分動作要素中に回路閉閉要素のオンオフ動作にともなうヒステリシス電圧が発生することに着目して、これを有効に利用するようにしたので、従来のように回路動作の上下限幅を決めるヒステリシス電圧が演算増幅器のゲインの変動などを受けて不安定になる欠点を基本的に解消するとともに、ヒステリシス回路を別に設ける必要が全くなり、性能面およびコスト面で二重の効果が得られる。前述のように、本発明回路において微分動作要素から得られる上下限幅設定用信号は、入力電

圧E1とこれに逆直列接続されたダイオード52を含み、これにツエナ電流を供給するための電圧は定電圧の出力端子側から抵抗53とダイオード55とを介して取られている。ダイオード52と55とは出力電圧Eoが短絡等の事故によってゼロになった場合に流れうる逆流を防止するためのものである。また、回路の起動時のまだ出力電圧Eoが立ち上がっていないときにも基準電圧Eを発生しうるように、入力電圧E1が抵抗54を介してツエナダイオード51の回路に与えられる。これらによって図でEで示した個所に基準電圧Eが発生されるが、ツエナダイオード51に対する結電が出力端子側から取られているので、同時に出力電圧Eo中に含まれる脈動分がこの個所に伝達され、抵抗62,63で分圧された上で演算増幅器61の他方の入力に与えられる。キャパシタ64は、このようにして該他方の入力に与えられる基準電圧および脈動信号をスパイクノイズ等から守る安定化キャパシタンスである。もちろん、脈動信号はこのように分圧回路を介さないで、図で破線で示すようにツエナダイオード回

-16-

路と該要素内を流れる負荷電流に起因していて、従来技術よりも本質的に安定かつ確実であり、その信号波形もほぼ完全な矩形ないしは角形波であって、降圧チョッパ形のこの種の回路の電圧制御の基礎とするのによく適している。

このように本発明は、降圧チョッパ形のチョッパの性能と安定性を向上する上で、またその量産品の低価格化に寄与を有するものである。

4. 図面の簡単な説明

第1図は本発明による直流電圧変換回路の基本構成を示す回路図、第2図は該回路の動作を説明するための主要な信号の波形図、第3図は本発明の実施例を示す回路図、第4図は該実施例回路内の制御幅設定および出力電圧の實際値発生のための回路部の異なる態様を示す要部回路図である。第5図以降は従来技術の説明用で、内第5図は従来の降圧チョッパ形DC-DCコンバータ回路の原理構成回路図、第6図はその動作を説明する主要信号の波形図である。図において、

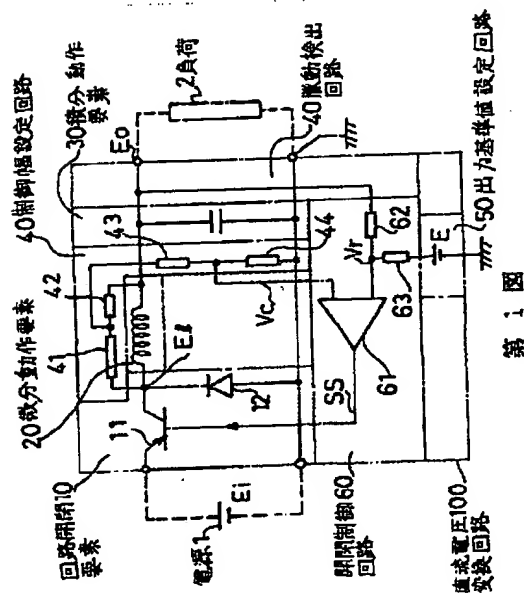
1：電源、2：負荷、10：回路閉閉要素、11：

半導体スイッチないしはトランジスタ、12：フリーホーリング用ダイオード、20：微分動作要素ないしはリアクトル、30：積分動作要素ないしはキャパシタ、40：制御幅設定回路、50：出力基準値設定回路、51：基準電圧発生用ツエナダイオード、60：開閉制御回路、61：演算増幅器、100：直流電圧変換回路、E：基準電圧、Ei：入力電圧、Eo：出力電圧、 ΔV ：上下限幅、Vc：出力電圧の実際値信号、Vc：上下限幅信号と実際値信号との合成信号、Vr：脈動信号、である。

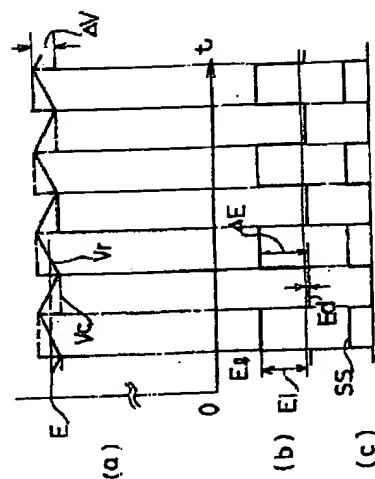
代理人弁護士 山口 隆



-19-



第 1 図



第 2 図

